

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-291917

(43)Date of publication of application : 05.11.1993

(51)Int.Cl.

H03K 17/66  
H03K 19/0185  
H03K 19/082

(21)Application number : 04-096647

(71)Applicant : OLYMPUS OPTICAL CO LTD

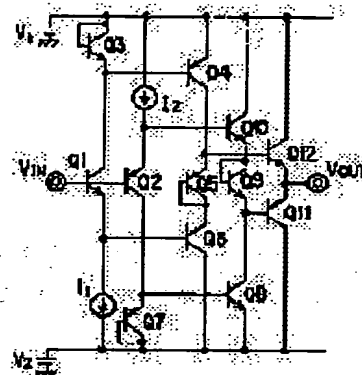
(22)Date of filing : 16.04.1992

(72)Inventor : HOMITSU MASATOSHI

**(54) HIGH SPEED BUFFER CIRCUIT****(57)Abstract:**

**PURPOSE:** To avoid an input output offset and a drift by inserting a level shift circuit between an input stage and an output stage.

**CONSTITUTION:** Let a base-emitter potential of each of transistors (TRs) Q1-Q12 be VBE, an input voltage be VIN and an output voltage be VOUT then an equal current flows to the VBE (Q12) and VBE (Q11). Since the relation of VBE (Q12)= VBE (Q1) and VBE (Q11)=VBE (Q2) is in existence, the relation of VOUT=VIN is established. The relation of VOUT=VIN is obtained by inserting a level shift circuit between the input stage and the output stage so that no input output offset is caused.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-291917

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl.<sup>5</sup>

H 0 3 K 17/66  
19/0185  
19/082

識別記号

庁内整理番号

C 9184-5 J

8941-5 J

8941-5 J

F I

技術表示箇所

H 0 3 K 19/ 00

1 0 1 D

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号

特願平4-96647

(22)出願日

平成4年(1992)4月16日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 穂満 政敏

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

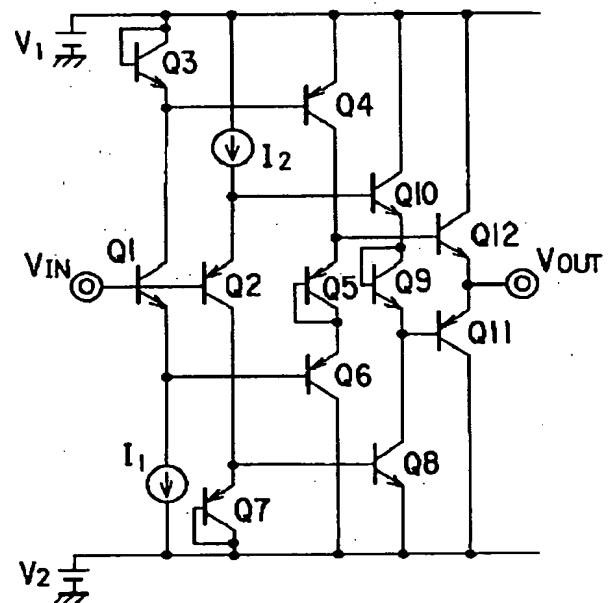
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 高速バッファ回路

(57)【要約】

【目的】 入出力オフセットのない高速バッファ回路を提供する。

【構成】 トランジスタQ1～Q12、電流・電圧源I1、I2、V1、V2としたとき、Q1、Q2のベースが入力端子であり、Q1のエミッタにI1とQ6のベースが、Q2のエミッタにI2とQ10のベースが、Q1のコレクタにQ3のエミッタとQ4のベースが、Q4のコレクタにQ12のベースとQ5のエミッタが、Q5のコレクタ及びベースにQ6のエミッタが、Q2のコレクタにQ7のエミッタとQ8のベースが、Q8のコレクタにQ11のベースとQ9のエミッタが、Q9のコレクタ及びベースにQ10のエミッタが、Q11、Q12のエミッタに出力端子が、I2の他方とQ3のコレクタ、ベースとQ10、Q12のコレクタとQ4のエミッタにV1が、I1の他方とQ7のコレクタ及びベースとQ8のエミッタとQ6、Q11のコレクタにV2が接続される。



## 【特許請求の範囲】

【請求項1】 第1のトランジスタと第2のトランジスタのベースが入力端子であり、第1のトランジスタのエミッタに第1の電流源と第6のトランジスタのベースが接続され、第2のトランジスタのエミッタに第2の電流源と第10のトランジスタのベースが接続され、第1のトランジスタのコレクタに第3のトランジスタのエミッタと第4のトランジスタのベースが接続され、第4のトランジスタのコレクタに第12のトランジスタのベースと第5のトランジスタのエミッタが接続され、第5のトランジスタのコレクタ及びベースに第6のトランジスタのエミッタが接続され、第2のトランジスタのコレクタに第7のトランジスタのエミッタと第8のトランジスタのベースが接続され、第8のトランジスタのコレクタに第11のトランジスタのベースと第9のトランジスタのエミッタが接続され、第9のトランジスタのコレクタ及びベースに第10のトランジスタのエミッタが接続され、第11、12のトランジスタのエミッタに出力端子が接続され、第2の電流源の他方と第3のトランジスタのコレクタ及びベースと第10、第12のトランジスタのコレクタと第4のトランジスタのエミッタに第1の電圧源が接続され、第1の電流源の他方と第7のトランジスタのコレクタ及びベースと第8のトランジスタのエミッタと第6、11のトランジスタのコレクタに第2の電圧源が接続されたことを特徴とする高速バッファ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は高速バッファ回路に係わるものである。

## 【0002】

【従来の技術】 図2は従来の高速バッファ回路の一構成例を示す図である。同図から明らかなように、この高速バッファ回路はNPNトランジスタQ21、Q23と、PNPトランジスタQ22、24と、電流源I21、I22と、電圧源V21、V22とによって構成される。

## 【0003】

【発明が解決しようとする課題】 しかしながら、上記した従来の高速バッファ回路においては、入出力オフセットおよびドリフトがNPNトランジスタとPNPトランジスタのベースエミッタ間電圧 $V_{BE}$ の違いにより起こってしまう。従って入出力の関係は、入力電圧を $V_{IN}$ とし、出力電圧を $V_{OUT}$ とすると、

$$V_{OUT} + V_{BE}(Q23) = V_{IN} + V_{BE}(Q22)$$

$$V_{OUT} - V_{BE}(Q24) = V_{IN} - V_{BE}(Q21)$$

となり

$$V_{BE}(Q23) + V_{BE}(Q24) = V_{BE}(Q22) + V_{BE}(Q21)$$

I11、I12が等しいならばQ23、Q24にも同等の電流がながれる。したがって

$$V_{OUT} = V_{IN} + V_{OFFSET} \text{ (オフセット電圧)}$$

ここでの $V_{OFFSET}$ は

$$V_{OFFSET} = V_T \cdot \ln(I_S(NPN) / I_S(PNP))$$

$I_S(NPN)$ 、 $I_S(PNP)$ ：飽和電流

となる。

【0004】 本発明の高速バッファ回路はこのような課題に着目してなされたものであり、その目的とするところは、入力段と出力段との間にレベルシフト回路を挿入することによって、入出力オフセットおよびドリフトの発生をなくした高速バッファ回路を提供することにある。

## 10 【0005】

【課題を解決するための手段】 上記の課題を解決するために、本発明の高速バッファ回路においては、第1のトランジスタと第2のトランジスタのベースが入力端子であり、第1のトランジスタのエミッタに第1の電流源と第6のトランジスタのベースが接続され、第2のトランジスタのエミッタに第2の電流源と第10のトランジスタのベースが接続され、第1のトランジスタのコレクタに第3のトランジスタのエミッタと第4のトランジスタのベースが接続され、第4のトランジスタのコレクタに第12のトランジスタのベースと第5のトランジスタのエミッタが接続され、第5のトランジスタのコレクタ及びベースに第6のトランジスタのエミッタが接続され、第2のトランジスタのコレクタに第7のトランジスタのエミッタと第8のトランジスタのベースが接続され、第8のトランジスタのコレクタに第11のトランジスタのベースと第9のトランジスタのエミッタが接続され、第9のトランジスタのコレクタ及びベースに第10のトランジスタのエミッタが接続され、第11、12のトランジスタのエミッタに出力端子が接続され、第2の電流源の他方と第3のトランジスタのコレクタ及びベースと第10、第12のトランジスタのコレクタと第4のトランジスタのエミッタに第1の電圧源が接続され、第1の電流源の他方と第7のトランジスタのコレクタ及びベースと第8のトランジスタのエミッタと第6、11のトランジスタのコレクタに第2の電圧源が接続されている。

20

30

40

50

## 【0006】

【作用】 すなわち、本発明の高速バッファ回路においては、入力段と出力段との間にレベルシフト回路が挿入される。

## 【0007】

【実施例】 図1は本発明の一実施例の構成を示す。同図において、NPNトランジスタQ1とPNPトランジスタQ2のベースが入力端子であり、NPNトランジスタQ1のエミッタに電流源I1とPNPトランジスタQ6のベースが接続され、PNPトランジスタQ2のエミッタに電流源I2とNPNトランジスタQ10のベースが接続され、NPNトランジスタQ1のコレクタにNPNトランジスタQ3のエミッタとPNPトランジスタQ4のベースが接続され、PNPトランジスタQ4のコレクタにNPNトランジスタQ12のベースとPNPトランジ

3

スタQ5のエミッタが接続され、PNPトランジスタQ5のコレクタ及びベースにPNPトランジスタQ6のエミッタが接続され、PNPトランジスタQ2のコレクタにPNPトランジスタQ7のエミッタとNPNトランジスタQ8のベースが接続され、NPNトランジスタQ8のコレクタにPNPトランジスタQ11のベースとNPNトランジスタQ9のエミッタが接続され、NPNトランジスタ9のコレクタ及びベースにNPNトランジスタ10のエミッタが接続され、PNPトランジスタQ11、NPNトランジスタQ12のエミッタに出力端子が接続され、電流源I2の他方とNPNトランジスタQ3のコレクタ及びベースとNPNトランジスタQ10、NPNトランジスタ

$$\begin{aligned} V_{OUT} + V_{BE}(Q12) &= V_{IN} - V_{BE}(Q1) + V_{BE}(Q6) + V_{BE}(Q5) \\ &= V_{IN} + V_{BE}(Q5) \end{aligned}$$

$$\begin{aligned} V_{OUT} - V_{BE}(Q11) &= V_{IN} + V_{BE}(Q2) - V_{BE}(Q10) - V_{BE}(Q9) \\ &= V_{IN} - V_{BE}(Q9) \end{aligned}$$

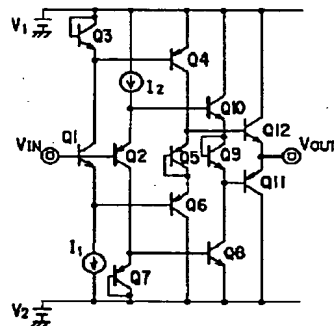
$$\begin{aligned} V_{BE}(Q12) + V_{BE}(Q11) &= V_{BE}(Q5) + V_{BE}(Q9) \\ &= V_{BE}(Q1) + V_{BE}(Q2) \end{aligned}$$

となり、ここで $I1 = I2$ ならば $V_{BE}(Q12)$ 、 $V_{BE}(Q11)$ にも同等の電流が流れることとなる。したがって $V_{BE}(Q12) = V_{BE}(Q1)$ 、 $V_{BE}(Q11) = V_{BE}(Q2)$ であるので $V_{OUT} = V_{IN}$ となる。

【0008】このように、本実施例においては、入力段の1対のトランジスタの $V_{BE}$ によるレベルシフト量と出力段の1対のトランジスタの $V_{BE}$ によるレベルシフト量が違うため出力オフセットが発生してしまうので、入出力オフセットが起こらないよう入力段と出力段との間にレベルシフト回路を挿入して $V_{OUT} = V_{IN}$ となるようにしている。

【0009】

【図1】



4

\*スタQ12のコレクタとPNPトランジスタQ4のエミッタに電圧源V1が接続され、電流源I1の他方とPNPトランジスタQ7のコレクタ及びベースとNPNトランジスタQ8のエミッタとPNPトランジスタQ6、PNPトランジスタQ11のコレクタに電圧源V2が接続されている。上記のような構成において、上記各トランジスタのベース・エミッタ間電圧を $V_{BE}$ とし、入力電圧を $V_{IN}$ 、出力電圧を $V_{OUT}$ とすると、  
 $V_{BE}(Q1) = V_{BE}(Q3) = V_{BE}(Q4) = V_{BE}(Q5) = V_{BE}(Q6)$   
 $V_{BE}(Q2) = V_{BE}(Q7) = V_{BE}(Q8) = V_{BE}(Q9) = V_{BE}(Q10)$   
 であるので

【発明の効果】以上詳述したように、本発明の高速バッファ回路においては、入力段と出力段との間にレベルシフト回路を挿入したので入出力オフセットおよびドリフトをなくすことが出来る。

【図面の簡単な説明】

【図1】本発明の一実施例を示す高速バッファ回路の回路図である。

【図2】従来の高速バッファ回路の回路図である。

【符号の説明】

Q1、Q3、Q8、Q9、Q10、Q12…NPNトランジスタ、Q2、Q4、Q5、Q6、Q7、Q11…PNPトランジスタ、I1、I2…電流源、V1、V2…電圧源。

【図2】

